

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

CLIPPEDIMAGE= JP405243524A
PAT-NO: JP405243524A
DOCUMENT-IDENTIFIER: JP 05243524 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: September 21, 1993

INVENTOR-INFORMATION:

NAME

KAMIYAMA, SATOSHI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP04042646

APPL-DATE: February 28, 1992

INT-CL (IPC): H01L027/108; H01L027/04

US-CL-CURRENT: 257/308, 257/310, 257/764

ABSTRACT:

PURPOSE: To obtain a semiconductor device having a capacity element causing a little leak current by a method wherein the surface of a polysilicon film being a lower electrode of a capacity element part is nitrided by RTN treatment, a tantalum oxide film is formed thereafter and further a titanium/tungsten nitride film is formed as an upper electrode.

CONSTITUTION: An element isolating oxide film 2 is formed on an N-type silicon substrate 1 and a polysilicon film is deposited. Then, a lower electrode 3 is formed by doping this film with phosphorus and patterning it. After a natural oxide film located on the lower electrode 3 is removed, the surface is nitrided by a lamp annealing processing using an ammonia gas and thereby a silicon nitride film 4 is formed. A subsequent tantalum oxide film 5 is formed on a wafer by a chemical vapor phase reaction with organic tantalum pentaethoxide or the like used as a material gas. After the tantalum oxide film 5 is deposited, moreover, densifying treatment by high-temperature heat treatment

is conducted.

Subsequently, a titanium nitride film and a tungsten film are formed as an upper electrode 6.

COPYRIGHT: (C)1993,JPC&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-243524

(43)公開日 平成5年(1993)9月21日

(51)Int.Cl.⁵
H01L 27/108
27/04

識別記号

庁内整理番号

FI

技術表示箇所

C 8427-4M
8728-4M

H01L 27/10

325 J

審査請求 未請求 請求項の数4(全4頁)

(21)出願番号 特願平4-42646

(22)出願日 平成4年(1992)2月28日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 神山 聡

東京都港区芝五丁目7番1号日本電気株式
会社内

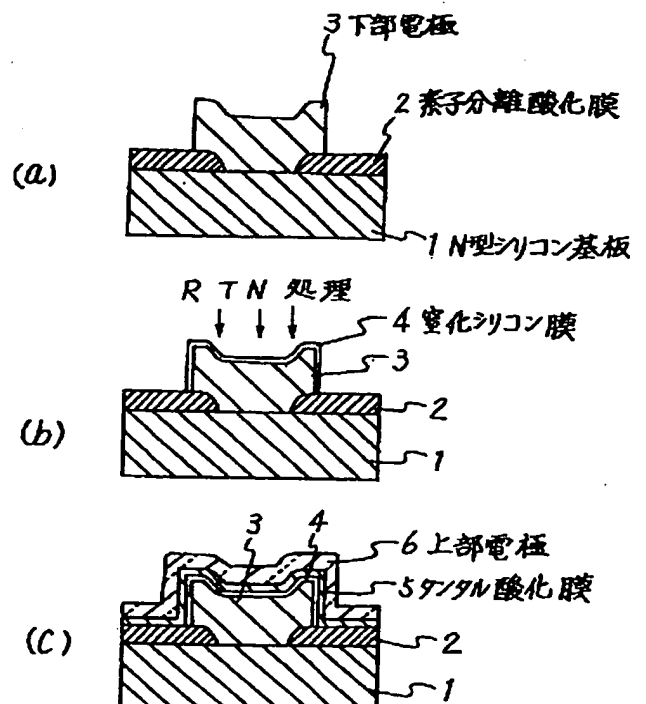
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】リーク電流の小さい容量素子を有する半導体装置を得る。

【構成】ポリシリコンからなる下部電極3の表面をランブアニールにより窒化し、窒化シリコン膜4を形成後、酸化タンタル膜5を化学気相成長法により形成し、さらに上部電極6として窒化チタン/タングステン膜を形成する。



【特許請求の範囲】

【請求項1】 半導体基板上にポリシリコン膜からなる下部電極を形成したのちこの下部電極の表面をランブアニールにより窒化する工程と、前記下部電極上に化学気相成長法によりタンタル酸化膜を形成する工程と、前記タンタル酸化膜上に窒化チタン膜とタングステン膜からなる上部電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 下部電極表面のランブアニールによる窒化はアンモニアガスをを用いた急速昇温加熱処理である請求項1記載の半導体装置の製造方法。

【請求項3】 ランブアニールによる窒化は処理温度が800～1100℃である請求項1記載の半導体装置の製造方法。

【請求項4】 有機系のタンタル原料を用いてタンタル酸化膜を形成する請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関し、特にダイナミック・ランダム・アクセス・メモリ(DRAM)等の超LSIに用いられる容量素子部の形成方法に関する。

【0002】

【従来の技術】 256MビットDRAM以降の超LSIメモリデバイスの容量素子部においては、単位面積当たりの容量値を大きくできる高誘電率の容量絶縁膜の採用が検討されている。この高誘電率の容量絶縁膜の中で、気相成長法(CVD)によるタンタル酸化膜は、比誘電率 ϵ_r が25～30と大きく、優れたステップカバレージ特性を有しており、さらに膜形成法が他の高誘電率の容量絶縁膜と比較して非常に容易であるなどのことから多くの研究がなされている。タンタル酸化膜を用いた一般的な容量素子部の形成を図4を用いて説明する。

【0003】 まず図4(a)に示すように、N型シリコン基板1上に素子分離酸化膜2を形成したのち、CVD法によりポリシリコン膜を堆積し、燐(P)を熱拡散させた後、通常のリソグラフィ技術によりポリシリコン膜からなる下部電極3を形成する。次に図4(b)に示すように、この下部電極3上に、エトキシタンタル[$Ta(OC_2H_5)_5$]ガスを主原料とすると減圧CVD法によりタンタル酸化膜5を形成したのち、タンタル酸化膜のリーク電流を改善するため、酸素雰囲気中での高温熱処理(600～1000℃)を行なう。

【0004】 次に図4(c)に示すように、上部電極6Aとしてタングステン(W)膜を形成する。以上の形成工程により、容量素子部が完成する。

【0005】

【発明が解決しようとする課題】 上述した従来の容量素子部の形成工程においては、下部電極であるポリシリコ

ン膜の表面上に通常1.5～2.0nmの自然酸化膜(SiO_2)が存在している。この自然酸化膜の存在は、容量値を小さくさせるばかりでなく、リーク電流特性をも劣化させている。また、従来技術で形成される容量素子のリーク電流特性は、電流密度 $10^{-8}A/cm^2$ で約0.7Vと小さく、実用レベルで十分信頼できる容量素子部を形成するには至っていない。

【0006】

【課題を解決するための手段】 本発明の半導体装置の製造方法は、下部電極であるポリシリコン膜表面をランブアニールにより窒化後、酸化タンタル膜をCVD法により形成し、さらに上部電極として窒化チタン膜/タングステン膜を形成する工程とを有するものである。

【0007】

【実施例】 次に、本発明における実施例について説明する。図1(a)～(c)は本発明の一実施例を説明するための半導体チップの断面図である。

【0008】 まず、図1(a)に示すように、N型シリコン基板1に選択酸化法により素子分離酸化膜2を形成する。次に、基板上にCVD法によりポリシリコン膜を堆積後、燐(P)を熱拡散によりドーブし、次で通常のリソグラフィ/エッチング技術によりパターニングして下部電極3を形成する。

【0009】 次に図1(b)に示すように、下部電極3上にある自然酸化膜を無水フッ酸処理により除去した後、下部電極3の表面をアンモニア(NH_3)ガスをを用いたランブアニール(RTN)処理により窒化し厚さ1～1.5nmの窒化シリコン膜4を形成する。ここで、RTN処理条件として、温度800～1100℃、アンモニア流量1.0～10SLM、昇温速度20～300℃/sec、常圧で行なうのが適している。処理温度が800℃以下では窒化が良好でなく、又1100℃以上では半導体素子の特性が劣化する。次に図1(c)に示すように、タンタル酸化膜5を形成する。

【0010】 このタンタル酸化膜5の形成には、図2に示す様な装置を用いる。原料ガスには有機物であるタンタルペンタエトキシド[$Ta(OC_2H_5)_5$]あるいはタンタルペンタメトキシド[$Ta(OCH_3)_5$]を用いる。この原料は、気化室9で気化され、キャリアガスであるアルゴンガス8と共に反応室13および14へ導入される。ヒータ12により反応室13および14内は熱せられており、導入された有機タンタルガスおよび酸素ガス7が化学気相反応を起こし、ウェハ11上でタンタル酸化膜が形成される。成長条件として、有機タンタル原料の気化室9の加熱温度は30～200℃、ヒータ12による反応室13および14内の成長温度は300～800℃、キャリアガスであるアルゴンガス8の流量は10～1000SCCM、酸素ガス7の流量は0.1～20SLM、圧力は0.1～10Torrで行なうのが適している。さらに、タンタル酸化膜5を堆積後、

高温熱処理による緻密化処理を行う。緻密化処理として、電気炉あるいはランプアニールによる急速昇温加熱方式を用い、酸素雰囲気中で、温度600～1000℃で行なうのが適している。

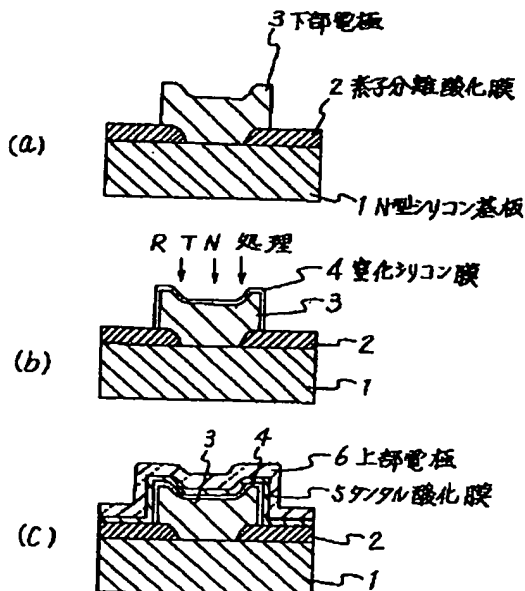
【0011】続いて、上部電極6として、窒化チタン膜およびタングステン膜を形成する。このようにして形成された容量絶縁膜のリーク電流特性を図3に示す。

【0012】図3に示したように、本実施例により作製された容量絶縁膜のリーク電流特性のほうが、従来方法により作製された容量絶縁膜の特性と比較して優れているのがわかる。これは、RTN処理を行なうことにより、ポリシリコン膜上に存在する自然酸化膜よりも良好な膜質の窒化シリコン膜が形成でき、さらに酸化タンタル膜上へ窒化チタン膜をスパッタ法などにより形成する際、酸化タンタル膜中のリークパスとなる（ダングリングボンドなど）部分にチタンが混入され、リーク電流特性が向上されるためと考えられる。

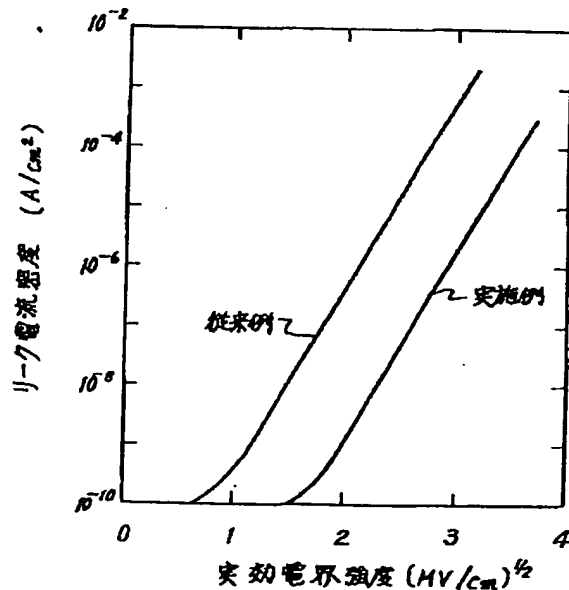
【0013】

【発明の効果】以上説明したように本発明は、容量素子の下部電極であるポリシリコン膜表面をRTN処理により窒化後、酸化タンタル膜を化学気相成長法により形成し、さらに上部電極として窒化チタン/タングステン膜を形成することにより、リーク電流が少ない、良好な容量素子を有する半導体装置が得られる。

【図1】



【図3】



【図面の簡単な説明】

【図1】本発明の一実施例を説明するための半導体チップの断面図。

【図2】実施例におけるタンタル酸化膜の形成方法を説明するためのCVD装置の構成図。

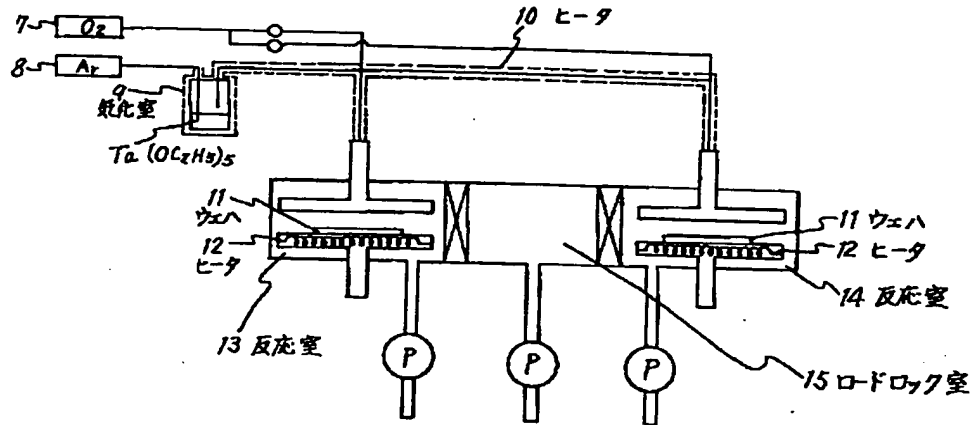
【図3】実施例と従来例のリーク電流特性を示す図。

【図4】従来の半導体装置の製造方法を説明するための半導体チップの断面図。

【符号の説明】

- | | | |
|----|--------|----------|
| 10 | 1 | N型シリコン基板 |
| | 2 | 素子分離酸化膜 |
| | 3 | 下部電極 |
| | 4 | 窒化シリコン膜 |
| | 5 | タンタル酸化膜 |
| | 6, 6A | 上部電極 |
| | 7 | 酸素ガス |
| | 8 | アルゴンガス |
| | 9 | 気化室 |
| 10 | 10 | ヒータ |
| 20 | 11 | ウェハ |
| | 12 | ヒータ |
| | 13, 14 | 反応室 |
| | 15 | ロードロック室 |

【図2】



【図4】

